

ELEKTRONİK SAYISAL ELEMANLARIN İÇ YAPILARI

- Dersin önceki bölümlerinde AND, OR, NAND, NOT gibi soyut lojik bağlaçlar (geçitler) ile çalıştık.
- Gerçek dünyada, lojik bağlaçlar elektronik devre şeklinde üretilirler.
- Bu bölümde, lojik geçitlerin farklı tipte transistörler kullanılarak elektronik devre şeklinde nasıl gerçekleştirildikleri ele alınacaktır.
- Sayısal devrelerde transistörler bir anahtar elemanı olarak kullanılırlar. Bu nedenle transistörler ya iletimde (anahtar akım iletiyor) (ON) ya da kesimde (anahtar akım iletmiyor) (OFF) bulunurlar).
- Önce bipolar tipteki transistör tanıtılacaktır (**bipolar junction transistor -BJT**). Bipolar transistörler üç uçlu elemanlardır ve lojik geçitlerde "akım ile kontrol edilebilen anahtar" olarak kullanılırlar.
- Daha sonra, **MOSFET** (*metal-oxide-semiconductor field-effect transistor*) veya kısaca MOS transistörler ele alınacaktır.
- Düşük güç tüketimi, maliyet gibi avantajları nedeniyle günümüzde sayısal devrelerin üretilmesinde MOS transistörler tercih edilmektedir.

Bipolar Transistör:

Baz (*Base*) ucu denetim girişi olarak işlev görür.

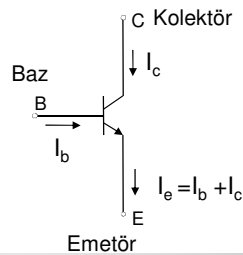
- **Durum 1 (OFF)** $V_{BE} < 0.6V$:

Eğer baz girişinden akım akmazsa kolektörden (*collector*) emetöre (*emitter*) doğru da akım akamaz. Bu durumda transistör kesimdedir (OFF).

- **Durum 2 (ON)** $V_{BE} \geq 0.6V$:

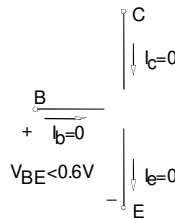
Eğer bazdan emetöre doğru akım akarsa kolektörden emetöre doğru da akım akar. Bu durumda transistör iletimdedir (ON).

npn Bipolar Transistör:



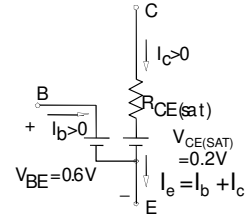
Transistör kesimde (OFF)

$$V_{BE} < 0.6V$$

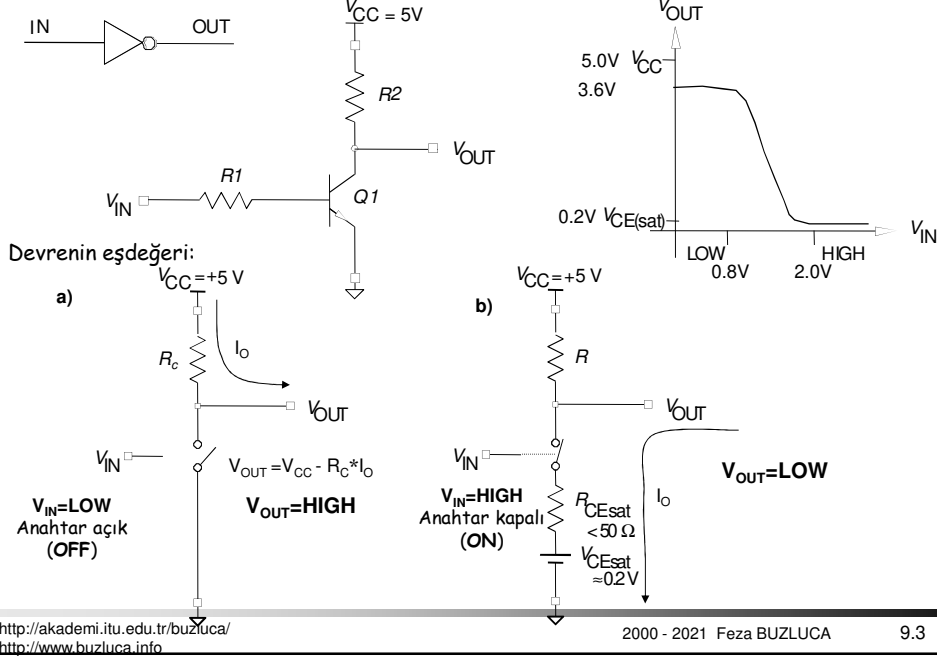


Transistör doymada (ON)

$$V_{BE} \geq 0.6V$$



Bir Tümleme geçidinin transistör ve dirençle gerçekleştirilmesi

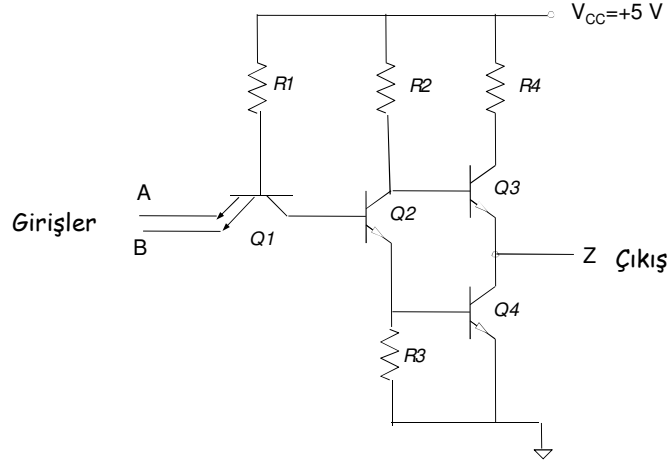


TTL (Transistör- Transistör Lojiği) Ailesi

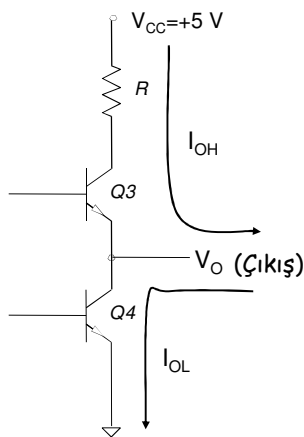
- Transistör-transistör lojiği (TTL), sayısal devrelerin üretimi için biplolar transistörlerin (BJT) ve dirençlerin kullanıldığı yöntemlerden birinin adıdır.
- TTL'in, hız, güç tüketimi, akım, gerilim özellikleri farklı alt grupları bulunmaktadır (örneğin; LS, ALS, L, F).
 - Bu elemanların özellikleri kataloglarda yer almaktadır.
- Sağladığı çeşitli avantajlar nedeniyle günümüzde MOS transistörler ile üretilen CMOS tipi (ilerleyen sayfalarda açıklanacaktır) lojik geçitler TTL geçitlerin yerini almaktadır.
- Laboratuvarlarda ve bazı devrelerde hala TTL elemanlarla karşılaşmanız mümkün olduğundan bu ailenin elemanlarının da temel özellikleri ele alınacaktır.

TTL (Transistör- Transistör Lojijî) Ailesi

Örnek: İki girişli TVE bağlacı



TTL Çıkış Katının Çalışması



Çıkışın lojik 0 (LOW): Q₄ iletimde, Q₃ kesimde olur. Bu durumda bağlacın çıkışından içeriye doğru I_{OL} akımı akar.

Çıkış "akım yutuyor" (*sinking*) denir.

$$V_{OL} = V_{CE(Q4)} + I_{OL} \cdot R_{Q4}$$

Çıkışın lojik 1 (HIGH): Q₃ iletimde, Q₄ kesimde olur. Bu durumda bağlacın çıkışından dışarıya doğru I_{OH} akımı akar.

Çıkış "akım besliyor" (*sourcing*) denir.

$$V_{OH} = V_{CC} - (V_{CE(Q3)} + I_{OH} \cdot (R + R_{Q3}))$$

Hem Q₃ hem de Q₄ kesimde olursa **çıkış yüksek empedans (high Z) konumunda** (3. konum) olur.

Bu durumda bağlacın çıkışından akım akmaz ve bağlaç bağlandığı hattan yalıtılmış olur.

TTL elemanlar için $V_{OL(MAX)} = 0.4V$ $V_{OH(MIN)} = 2.4V$

TTL ailesinde değişik tipte elemanlar vardır (LS, ALS, L, F gibi). Bunların her biri için akım değerleri farklıdır. Bu değerler kataloglardan öğrenilebilir.

TTL Ailesi Lojik Gerilim Düzeyleri

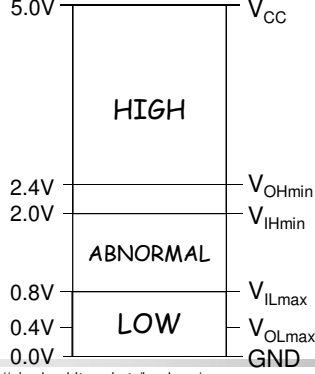
Soyut lojik elemanlar (VE, VEYA vs.) ikili sayıları (0 ve 1) işlerler.

Ancak gerçek lojik devreler elektriksel işaretleri, örneğin gerilim düzeyi, ile çalışırlar.

Her lojik ailenin lojik 0 ve lojik 1 olarak kabul ettikleri gerilim düzeyi aralıkları vardır. Bu aralıklar birbirleri ile örtüşmezler.

TTL devreler 5 voltluk gerilim kaynağı ile beslenirler ($V_{CC}=5V$).

Standart bir TTL elemanın lojik gerilim düzeyleri:



V_{OHmin} : HIGH konumundaki bir elemanın çıkışında oluşan en küçük gerilim değeri.

V_{IHmin} : Bir elemanın girişinde HIGH olarak kabul edebileceği en düşük gerilim değeri.

V_{ILmax} : Bir elemanın girişinde LOW olarak kabul edebileceği en yüksek gerilim değeri.

V_{OLmax} : LOW konumundaki bir elemanın çıkışında oluşan en yüksek gerilim değeri.

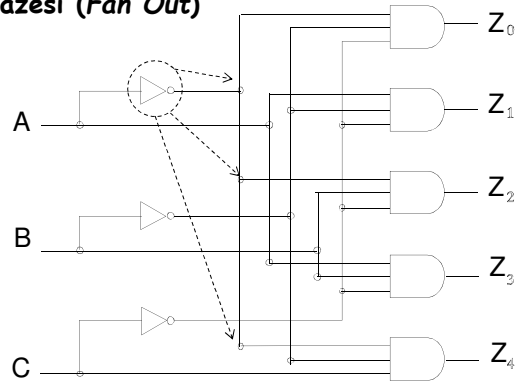
TTL Çıkış Yelpazesi (Fan Out)

Bir lojik geçidin çıkışı birçok başka geçidin girişine bağlanabilir.

Örneğin sağdaki devrede en üstteki NOT geçidinin çıkışı üç tane AND bağlacının girişini sürmektedir.

Bir lojik geçidin **çıkış yelpazesi** (fanout), devrenin sağlıklı çalışması bozulmadan o geçide bağlanabilecek giriş sayısının üst sınırıdır.

Elemanların çıkışlarından ve girişlerinden akan akım olaylarından dolayı bir elemanın çıkışına bağlanabilecek eleman sayısı (çıkış yelpazesi) sınırlıdır.

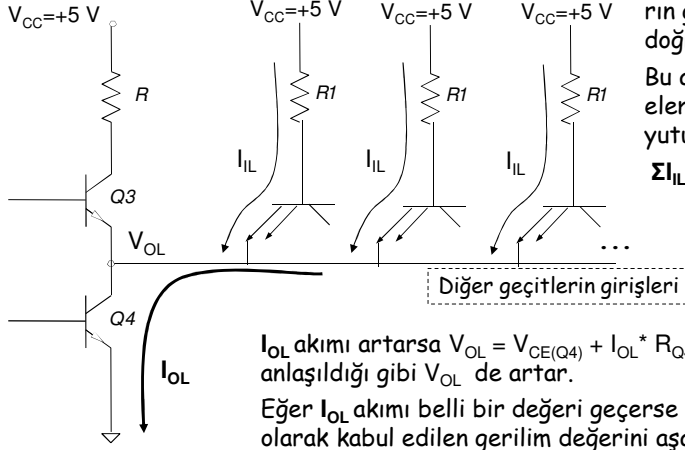


Çıkış yelpazesi çıkışın hem lojik 0 (LOW) hem de lojik 1 (HIGH) olması durumları için ayrı ayrı hesaplanır.

Geçidin gerçek çıkış yelpazesi, lojik 0 ve 1 durumları için hesaplanan değerlerin küçük olanıdır. **Overall Fanout = Min(Fanout_{LOW}, Fanout_{HIGH})**

TTL Çıkış Yelpazesi (Fan Out) devamı

TTL elemanların girişleri transistörlerin emetörlerinden oluşmaktadır.

Çıkış 0 (LOW) olduğunda:

Girişi LOW olan elemanların girişinden dışarıya doğru I_{IL} akımı akar.

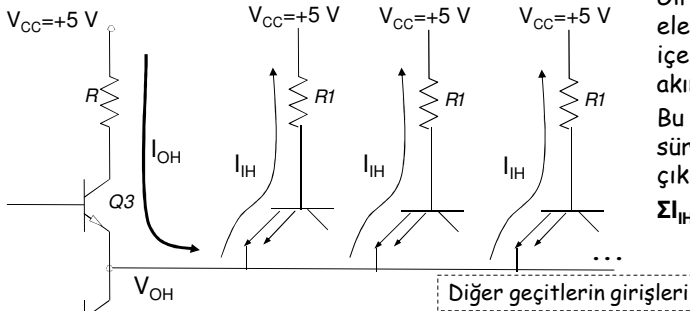
Bu akımların toplamı diğer elemanın çıkışı tarafından yutulmaktadır.

$$\Sigma I_{IL} < I_{OL} < I_{OLMAX}$$

I_{OL} akımı artarsa $V_{OL} = V_{CE(Q4)} + I_{OL} \cdot R_{Q4}$ bağıntısından da anlaşıldığı gibi V_{OL} de artar.

Eğer I_{OL} akımı belli bir değeri geçerse V_{OL} gerilimi lojik '0' olarak kabul edilen gerilim değerini aşar.

$V_{OL} < V_{ILmax}$ koşulu sağlanmalıdır (bkz. 9.7).

Çıkış 1 (HIGH) olduğunda:

Girişi HIGH olan elemanların girişinden içeriye doğru I_{IH} kaçak akımı akar.

Bu akımların toplamı süren kapının elemanın çıkışından çekilecektir.

$$\Sigma I_{IH} < I_{OH} < I_{OHMAX}$$

I_{OH} akımı artarsa $V_{OH} = V_{CC} - (V_{CE(Q3)} + I_{OH} \cdot (R + R_{Q3}))$ bağıntısından da anlaşıldığı gibi V_{OH} azalır.

I_{OH} akımı belli bir değeri geçerse V_{OH} lojik '1' olarak kabul edilen gerilim değerinin altına düşer.

$V_{OH} > V_{IHmin}$ koşulu sağlanmalıdır (bkz. 9.7).

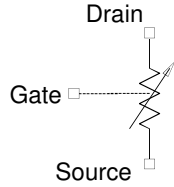
Bir elemanın çıkış yelpazesi, LOW ve HIGH konumları için hesaplanan değerlerden küçük olana eşittir.

TTL elemanlara ait V_{OH} , V_{OL} , V_{IH} , V_{IL} , I_{OH} , I_{OL} , I_{IH} , I_{IL} gibi değerler bu elemanların kataloglarında yer almaktadır.

CMOS (Complementary MOS) Lojiği Ailesi

MOS FET (Metal-Oxide Semiconductor Field-Effect Transistör) kullanılır.

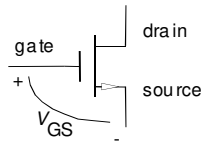
Lojik bağlaçlarda kullanılan MOS transistörler birer ayarlı direnç gibi düşünülebilir.



Gate-Source (V_{GS}) arasına uygulanan gerilime göre Drain Source (R_{DS}) arasındaki direnç değişir.
Transistör tıkamadayken $R_{DS} \geq 1M\Omega$
Transistör iletimdeyken $R_{DS} \leq 10\Omega$

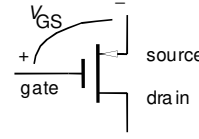
İki tip MOS transistör vardır.

a) n kanallı MOS: NMOS.



V_{GS} arttıkça R_{DS} direnci azalır.
Normalde: $V_{GS} \geq 0V$

b) p kanallı MOS: PMOS.



V_{GS} azaldıkça R_{DS} direnci azalır.
Normalde: $V_{GS} \leq 0V$

CMOS Geçitlerin Tasarımı

Bir CMOS lojik geçit iki bölümden oluşur:

A. Yukarı çeken (Pull-UP) devre:

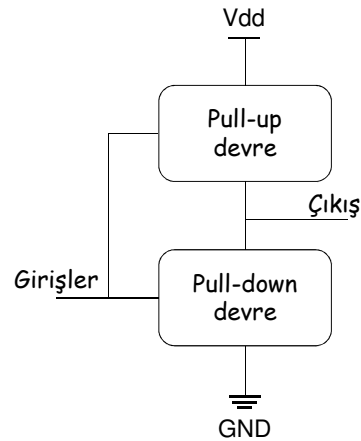
- Çıkışta yüksek değer oluşturmak için güç kaynağının V_{DD} ucuna bağlanır.
- pMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon doğru değer üreteceği zaman iletimde olur.

B. Aşağı çeken (Pull-DOWN) devre:

- Çıkışta alçak değer oluşturmak için güç kaynağının toprak (GND) ucuna bağlanır.
- nMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon yanlış değer üreteceği zaman iletimde olur.

Bu iki devre birbirinin eşleniğidir (operationally complements):

- Pull-up devre, pull-down devrenin eşleniğidir.
- Paralel \rightarrow seri, seri \rightarrow paralel

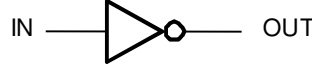
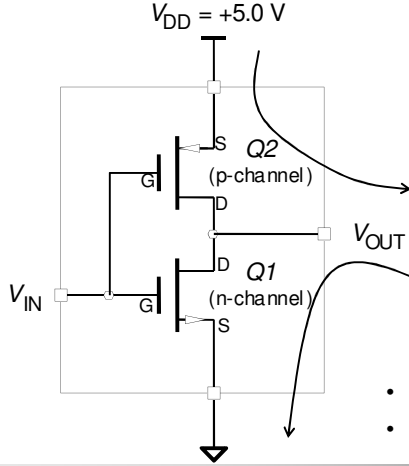


CMOS Tümeleme (NOT) Bağlacı

CMOS devrelerde NMOS ve PMOS transistörler eşlenik olarak çiftler halinde kullanılırlar.

Her NMOS transistör için devrede bir PMOS transistör yer alır.

Örnek: CMOS tümeleme (NOT) geçidi



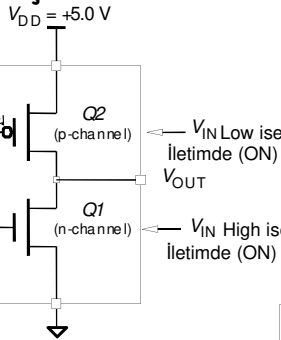
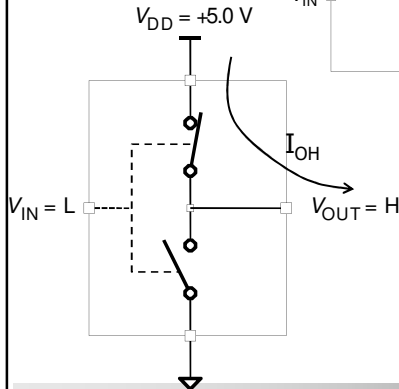
V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

- pMOS lojik '1' üretir -> Pull UP
- nMOS lojik '0' üretir -> Pull DOWN

CMOS Tümeleme Geçidinin Anahtar Modeli

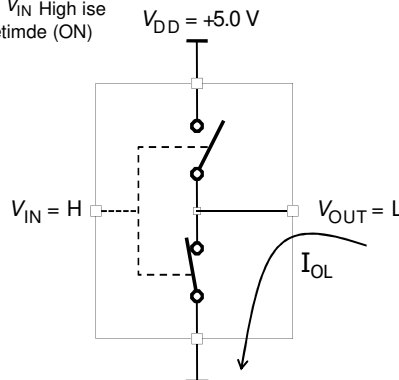
pMOS transistörleri göstermek için bu yöntem de kullanılır. Buradaki halka, Gate girişine negatif gerilim uygulandığında transistörün iletime geçtiğini gösterir.

0 = 1 Durumu:



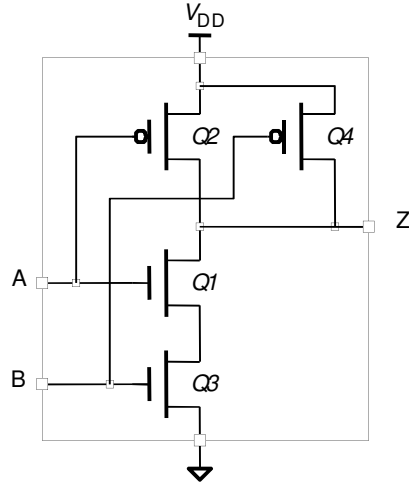
V_{IN} Low ise İletimde (ON)
 V_{IN} High ise İletimde (ON)

1 = 0 Durumu:

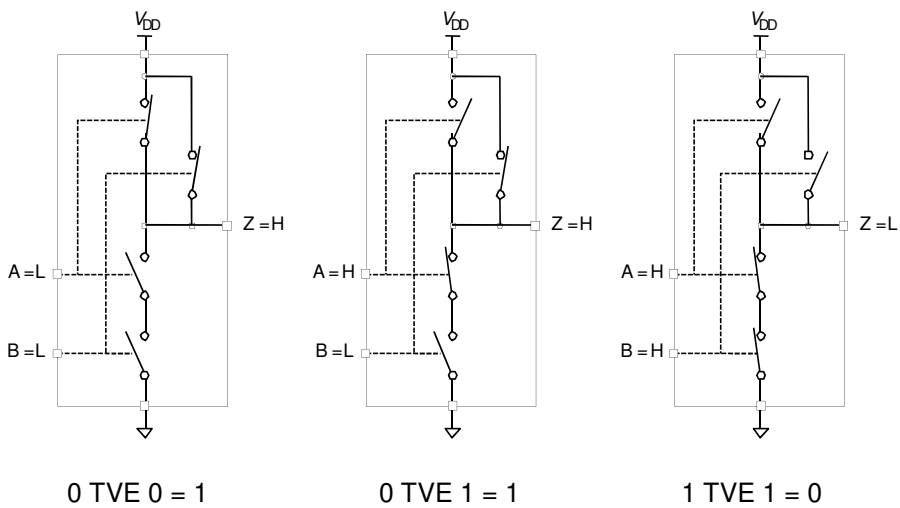


CMOS TVE (NAND) Bağlacı

- Pull-up devre: pMOS transistörler paralel olarak bağlanır.
- Pull-down devre: nMOS transistörler seri olarak bağlanır.

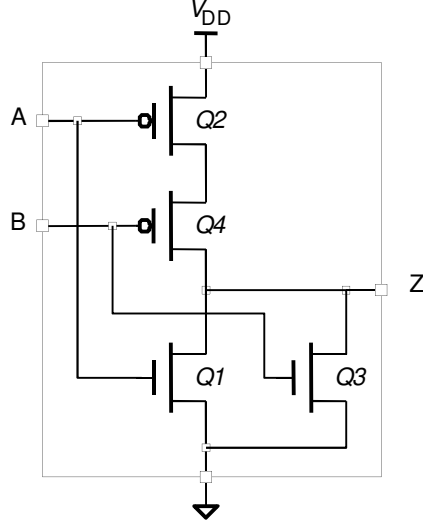


A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

CMOS TVE (NAND) Bağlacı Anahtar Modeli

CMOS TVEYA (NOR) Bağlacı

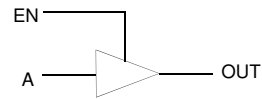
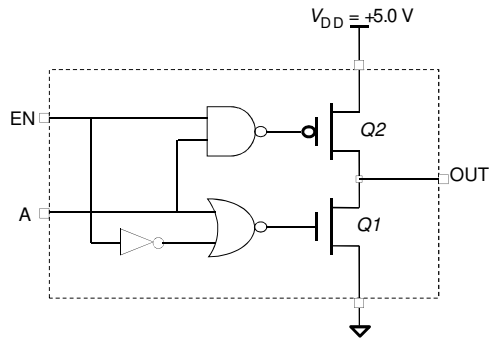
- Pull-up devre: pMOS transistörler seri olarak bağlanır.
- Pull-down devre: nMOS transistörler paralel olarak bağlanır.



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

Üç konumlu CMOS Sürücü (Three-state Buffer)

Hatırlatma: **yüksek empedans (Hi-Z)** konumunda (üçüncü konum da denir) olan çıkış devreden yalıtılmış (bağlı değilmiş gibi) olur.



IF EN=HIGH THEN OUT=A
 IF EN=LOW THEN OUT= Hi-Z

EN	A	Q1	Q2	OUT
L	L	off	off	Hi-Z
L	H	off	off	Hi-Z
H	L	on	on	L
H	H	off	on	H

Diyagramı basitleştirmek için NAND, NOR ve NOT işlemleri transistörler yerine soyut kapılar şeklinde gösterilmiştir.

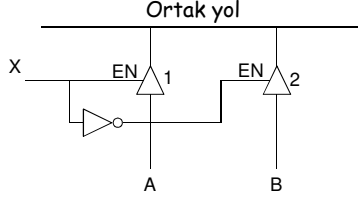
Gerçekte bu elemanlar 10 adet transistör ile gerçekleştirilir.

Üç Konumlu Ortak Yol (Three-state Common Bus)

Üç konumlu kapıların çıkışları bir ortak yol oluşturacak şekilde birbirlerine bağlanabilirler.

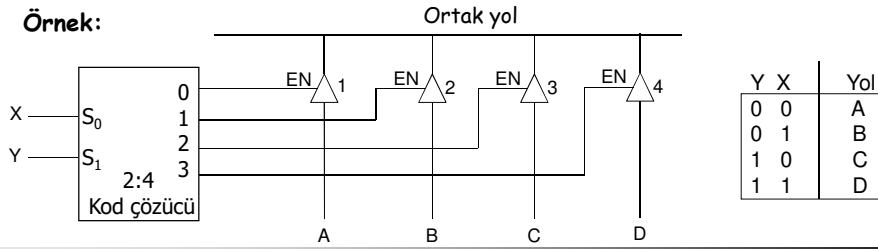
Belli bir anda sadece bir birim etkinleşip yolu sürebilir.

Örnek:



If $X=0$ sürücü #2 etkindir. B yola çıkar.
If $X=1$ sürücü #1 etkindir. A yola çıkar.

Örnek:

**CMOS Lojik Gerilim Düzeyleri**

CMOS devreler 5 volttan daha düşük gerilim kaynakları ile de beslenebilirler.

Lojik gerilim düzeyleri gerilim kaynağının voltajına bağlı olarak değişir.

