

ELEKTRONİK SAYISAL ELEMANLARIN İÇ YAPILARI

- Dersin önceki bölümlerinde AND, OR, NAND, NOT gibi soyut lojik bağlaçlar (geçitler) ile çalıştık.
- Gerçek dünyada, lojik bağlaçlar elektronik devre şeklinde üretilirler.
- Bu bölümde, lojik geçitlerin farklı tipte transistörler kullanılarak elektronik devre şeklinde nasıl gerçekleştirildikleri ele alınacaktır.
- Sayısal devrelerde transistörler bir anahtar elemanı olarak kullanılırlar. Bu nedenle transistörler ya iletimde (anahtar akım iletiliyor) (ON) ya da kesimde (anahtar akım iletmiyor) (OFF) bulunurlar.
- Önce bipolar tipteki transistör tanımlanacaktır (**bipolar junction transistor -BJT**). Bipolar transistörler üç uçlu elemanlardır ve lojik geçitlerde "akım ile kontrol edilebilen anahtar" olarak kullanılırlar.
- Daha sonra, **MOSFET (metal-oxide-semiconductor field-effect transistor)** veya kısaca MOS transistörler ele alınacaktır.
- Düşük güç tüketimi, maliyet gibi avantajları nedeniyle günümüzde sayısal devrelerin üretiminde MOS transistörler tercih edilmektedir.

Bipolar Transistör:

Baz (*Base*) ucu denetim girişi olarak işlev görür.

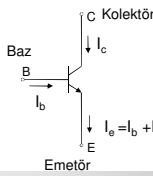
- Durum 1 (OFF)** $V_{BE} < 0.6V$:

Eğer baz girişinden akım akmazsa kolektörden (*collector*) emetöre (*emitter*) doğru da akım akamaz. Bu durumda transistör kesimdedir (OFF).

- Durum 2 (ON)** $V_{BE} \geq 0.6V$:

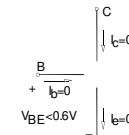
Eğer bazdan emetöre doğru akım akarsa kolektörden emetöre doğru da akım akar. Bu durumda transistör iletimdedir (ON).

npn Bipolar Transistör:



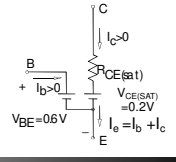
Transistör kesimde (OFF)

$$V_{BE} < 0.6V$$

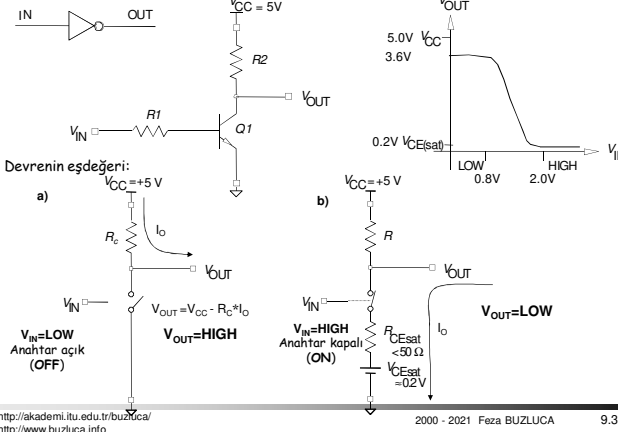


Transistör doymada (ON)

$$V_{BE} \geq 0.6V$$



Bir Tümlene geçidinin transistör ve dirençle gerçekleştirilmesi

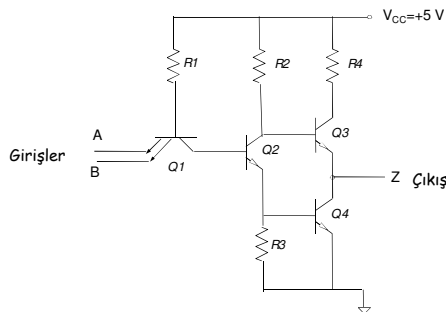


TTL (Transistör- Transistör Lojigi) Ailesi

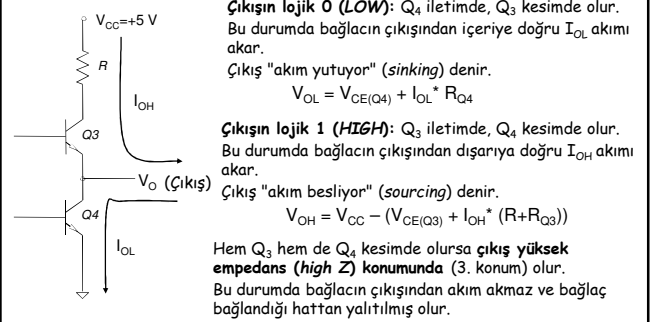
- Transistör-transistör lojigi (TTL), sayısal devrelerin üretimi için bipolar transistörlerin (BJT) ve dirençlerin kullandığı yöntemlerden birinin adıdır.
- TTL'in, hız, güç tüketimi, akım, gerilim özellikleri farklı alt grupları bulunmaktadır (örneğin: LS, ALS, L, F).
 - Bu elemanların özellikleri kataloglarda yer almaktadır.
- Sağladığı çeşitli avantajlar nedeniyle günümüzde MOS transistörler ile üretilen CMOS tipi (ilerleyen sayfalarda açıklanacaktır) lojik geçitler TTL geçitlerin yerini almaktadır.
- Laboratuvarlarda ve bazı devrelerde hala TTL elemanlarla karşılaşmanız mümkün olduğundan bu ailenin elemanlarının da temel özellikleri ele alınacaktır.

TTL (Transistör- Transistör Lojigi) Ailesi

Örnek: İki girişli TVE bağlacı



TTL Çıkış Katının Çalışması



TTL elemanlar için $V_{OL(MAX)} = 0.4V$ $V_{OH(MIN)} = 2.4V$

TTL ailesinde değişik tipte elemanlar vardır (LS, ALS, L, F gibi). Bunların her biri için akım değerleri farklıdır. Bu değerler kataloglardan öğrenilebilir.

Sayısal Devreler (Lojik Devreleri) Lisans: <https://creativecommons.org/licenses/by-nc-nd/4.0/deed.tr>

TTL Ailesi Lojik Gerilim Düzeyleri

Soyut lojik elemanlar (VE, VEYA vs.) ikili sayıları (0 ve 1) işlemler. Ancak gerçek lojik devreler elektriksel işaretleri, örneğin gerilim düzeyi, ile çalışırlar. Her lojik ailenin lojik 0 ve lojik 1 olarak kabul ettikleri gerilim düzeyi aralıkları vardır. Bu aralıklar birbirleri ile örtüşmezler. TTL devreler 5 voltluk gerilim kaynağı ile beslenirler ($V_{CC}=5V$).

Standart bir TTL elemanın lojik gerilim düzeyleri:

V_{OHmin} : HIGH konumundaki bir elemanın çıkışında oluşan en küçük gerilim değeri.
 V_{IHmin} : Bir elemanın girişinde HIGH olarak kabul edilebileceği en düşük gerilim değeri.
 V_{ILmax} : Bir elemanın girişinde LOW olarak kabul edilebileceği en yüksek gerilim değeri.
 V_{OLmax} : LOW konumundaki bir elemanın çıkışında oluşan en yüksek gerilim değeri.

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.7

Sayısal Devreler (Lojik Devreleri)

TTL Çıkış Yelpezesi (Fan Out)

Bir lojik geçidin çıkışı birçok başka geçidin girişine bağlanabilir. Örneğin sağdaki devrede en üstteki NOT geçidinin çıkışı üç tane AND bağlacının girişini sürmektedir. Bir lojik geçidin **çıkış yelpizesi (fanout)**, devrenin sağlıklı çalışması bozulmadan o geçide bağlanabilecek giriş sayısının üst sınırıdır. Elemanların çıkışlarından ve girişlerinden akan akım olaylarından dolayı bir elemanın çıkışına bağlanabilecek eleman sayısı (çıkış yelpizesi) sınırlıdır.

Çıkış yelpizesi çıkışın hem lojik 0 (LOW) hem de lojik 1 (HIGH) olması durumları için ayrı ayrı hesaplanır. Geçidin gerçek çıkış yelpizesi, lojik 0 ve 1 durumları için hesaplanan değerlerin küçük olanıdır. **Overall Fanout = $\min(Fanout_{LOW}, Fanout_{HIGH})$**

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.8

Sayısal Devreler (Lojik Devreleri)

TTL Çıkış Yelpezesi (Fan Out) devamı

TTL elemanların girişleri transistörlerin emetörlerinden oluşmaktadır.

Çıkış 0 (LOW) olduğunda:

Girişi LOW olan elemanların girişinden dışarıya doğru I_{IL} akımı akar. Bu akımların toplamı diğer elemanın çıkışı tarafından yutulmaktadır. $\Sigma I_{IL} < I_{OL} < I_{OLMAX}$

I_{OL} akımı artarsa $V_{OL} = V_{CE(Q4)} + I_{OL} * R_{Q4}$ bağıntısından da anlaşıldığı gibi V_{OL} de artar. Eğer I_{OL} akımı belli bir değeri geçerse V_{OL} gerilimi lojik '0' olarak kabul edilen gerilim değerini aşar. $V_{OL} < V_{ILmax}$ koşulu sağlanmalıdır (bkz. 9.7).

Girişi HIGH olan elemanların girişinden içeriye doğru I_{IH} kaçak akımı akar. Bu akımların toplamı süren kapının elemanın çıkışından çekilecektir. $\Sigma I_{IH} < I_{OH} < I_{OHMAX}$

I_{OH} akımı artarsa $V_{OH} = V_{CC} - (V_{CE(Q3)} + I_{OH} * (R + R_{Q3}))$ bağıntısından da anlaşıldığı gibi V_{OH} azalır. I_{OH} akımı belli bir değeri geçerse V_{OH} lojik '1' olarak kabul edilen gerilim değerinin altına düşer. $V_{OH} > V_{IHmin}$ koşulu sağlanmalıdır (bkz. 9.7).

Bir elemanın çıkış yelpizesi, LOW ve HIGH konuları için hesaplanan değerlerden küçük olana eşittir.

TTL elemanlara ait V_{OH} , V_{OL} , V_{IH} , V_{IL} , I_{OH} , I_{OL} , I_{IH} , I_{IL} gibi değerler bu elemanların kataloglarında yer almaktadır.

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.9

Sayısal Devreler (Lojik Devreleri)

Çıkış 1 (HIGH) olduğunda:

Bir CMOS lojik geçit iki bölümden oluşur:

A. Yukarı çeken (Pull-UP) devre:

- Çıkışta yüksek değer oluşturmak için güç kaynağının Vdd ucuna bağlanır.
- pMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon doğru değer üreteceği zaman iletimde olur.

B. Aşağı çeken (Pull-DOWN) devre:

- Çıkışta alçak değer oluşturmak için güç kaynağının toprak (GND) ucuna bağlanır.
- nMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon yanlış değer üreteceği zaman iletimde olur.

Bu iki devre birbirinin eşleniğidir (*operationally complements*):

- Pull-up devre, pull-down devrenin eşleniğidir.
- Paralel -> seri, seri -> paralel

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.10

Sayısal Devreler (Lojik Devreleri)

CMOS (Complementary MOS) Lojigi Ailesi

MOS FET (Metal-Oxide Semiconductor Field-Effect Transistör) kullanılır. Lojik bağlaçlarda kullanılan MOS transistörler birer ayarlı direnç gibi düşünülebilir.

Gate-Source (V_{GS}) arasına uygulanan gerilime göre Drain Source (R_{DS}) arasındaki direnç değişir. Transistör tıkamadıkça $R_{DS} \geq 1M\Omega$ Transistör iletmedikçe $R_{DS} \leq 10\Omega$

İki tip MOS transistör vardır.

a) n kanallı MOS: NMOS. **b) p kanallı MOS: PMOS.**

V_{GS} arttıkça R_{DS} direnci azalır. Normalde: $V_{GS} \geq 0V$

V_{GS} azaldıkça R_{DS} direnci azalır. Normalde: $V_{GS} \leq 0V$

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.11

Sayısal Devreler (Lojik Devreleri)

CMOS Geçitlerin Tasarımı

Bir CMOS lojik geçit iki bölümden oluşur:

A. Yukarı çeken (Pull-UP) devre:

- Çıkışta yüksek değer oluşturmak için güç kaynağının Vdd ucuna bağlanır.
- pMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon doğru değer üreteceği zaman iletimde olur.

B. Aşağı çeken (Pull-DOWN) devre:

- Çıkışta alçak değer oluşturmak için güç kaynağının toprak (GND) ucuna bağlanır.
- nMOS transistörlerin paralel ya da seri olarak bağlanmasıyla oluşturulur.
- Fonksiyon yanlış değer üreteceği zaman iletimde olur.

Bu iki devre birbirinin eşleniğidir (*operationally complements*):

- Pull-up devre, pull-down devrenin eşleniğidir.
- Paralel -> seri, seri -> paralel

<http://akademi.itu.edu.tr/buzluca/> 2000 - 2021 Feza BUZLUCA 9.12

Sayısal Devreler (Lojik Devreleri)

CMOS Tümeleme (NOT) Bağlacı

CMOS devrelerde NMOS ve PMOS transistörler eşlenik olarak çiftler halinde kullanılırlar.
Her NMOS transistör için devrede bir PMOS transistör yer alır.
Örnek: CMOS tümeleme (NOT) geçidi

$V_{DD} = +5.0\text{ V}$

IN — — OUT

V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

- pMOS lojik '1' üretir → Pull UP
- nMOS lojik '0' üretir → Pull DOWN

<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.13

Sayısal Devreler (Lojik Devreleri)

CMOS Tümeleme Geçidinin Anahtar Modeli

pMOS transistörleri göstermek için bu yöntem de kullanılır.
Buradaki halka, Gate girişine negatif gerilim uygulandığında transistörün iletme geçtiğini gösterir.

$V_{DD} = +5.0\text{ V}$

V_{IN} Low ise iletimde (ON) V_{OUT}

V_{IN} High ise iletimde (ON)

$\bar{1} = 0$ Durumu: $V_{DD} = +5.0\text{ V}$

$V_{DD} = +5.0\text{ V}$

$V_{IN} = L$ $V_{OUT} = H$ I_{OH}

$V_{IN} = H$ $V_{OUT} = L$ I_{OL}

<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.14

Sayısal Devreler (Lojik Devreleri)

CMOS TVE (NAND) Bağlacı

- Pull-up devre: pMOS transistörler paralel olarak bağlanır.
- Pull-down devre: nMOS transistörler seri olarak bağlanır.

V_{DD}

A — — Z

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.15

Sayısal Devreler (Lojik Devreleri)

CMOS TVE (NAND) Bağlacı Anahtar Modeli

V_{DD}

A=L, B=L $Z=H$

A=H, B=L $Z=H$

A=H, B=H $Z=L$

0 TVE 0 = 1 0 TVE 1 = 1 1 TVE 1 = 0

<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.16

Sayısal Devreler (Lojik Devreleri)

CMOS TVEYA (NOR) Bağlacı

- Pull-up devre: pMOS transistörler seri olarak bağlanır.
- Pull-down devre: nMOS transistörler paralel olarak bağlanır.

V_{DD}

A — — Z

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.17

Sayısal Devreler (Lojik Devreleri)

Üç konumlu CMOS Sürücü (Three-state Buffer)

Hatırlatma: **yüksek empedans (Hi-Z)** konumunda (üçüncü konum da denir) olan çıkış devreden yalıtılmış (bağlı değilmiş gibi) olur.

$V_{DD} = +5.0\text{ V}$

EN — — OUT

IF EN=HIGH THEN OUT=A
IF EN=LOW THEN OUT= Hi-Z

EN	A	Q1	Q2	OUT
L	L	off	off	Hi-Z
L	H	off	off	Hi-Z
H	L	on	on	L
H	H	off	on	H

Diyagramı basitleştirmek için NAND, NOR ve NOT işlemleri transistörler yerine soyut kapılar şeklinde gösterilmiştir.
Gerçekten bu elemanlar 10 adet transistör ile gerçekleştirilir.

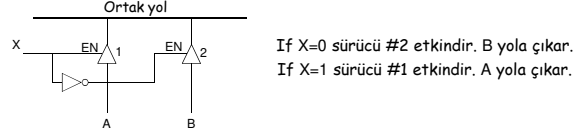
<http://akademi.itu.edu.tr/buzluca/>
<http://www.buzluca.info> 2000 - 2021 Feza BUZLUCA 9.18

Üç Konumlu Ortak Yol (Three-state Common Bus)

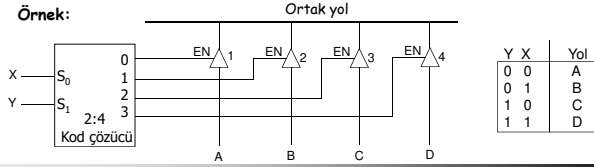
Üç konumlu kapıların çıkışları bir ortak yol oluşturacak şekilde birbirlerine bağlanabilirler.

Belli bir anda sadece bir birim etkinleşip yolu sürebilir.

Örnek:

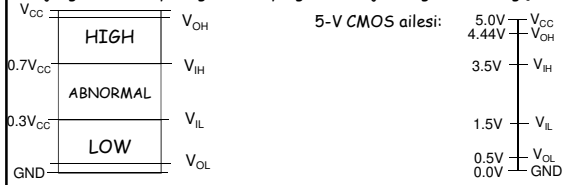


Örnek:

**CMOS Lojik Gerilim Düzeyleri**

CMOS devreler 5 volttan daha düşük gerilim kaynakları ile de beslenebilirler.

Lojik gerilim düzeyleri gerilim kaynağının voltajına bağlı olarak değişir.



2.5-V CMOS ailesi:



1.5-V CMOS ailesi:

