

Sayısal Devreler (Lojik Devreleri) Ders Notlarının Creative Commons lisansı Feza BUZLUCA'ya aittir.
Lisans: <http://creativecommons.org/licenses/by-nc-nd/3.0/>

Tümleştirilmiş Kombinezonl Devre Elemanları

Sayısal sistemlerin gerçekleştirilmesinde çokça kullanılan lojik devreler, lojik bağlaçların bir araya getirilmesiyle tümleştirilmiş devre (entegre devre, tümdevre) (*integrated circuit -IC*) olarak üretilirler ve satılırlar.

Bağlaçlar yerine bu hazır devrelerin kullanılması tasarımları kolaylaştırır. Tümdevreler içerdikleri kapı sayısına göre çeşitli gruplara ayrılırlar.

Tümleştirme düzeylerine göre gruplama:

- Küçük Ölçekli Tümleştirme (*Small-Scale Integration SSI*): Bu gruptaki tümdevreler 10 taneden az lojik kapı içerirler. Örneğin 7400 4 adet TVE kapısı içerir.
- Orta Ölçekli Tümleştirme (*Medium-Scale Integration MSI*): Bu gruptaki tümdevreler 10 ile 1000 tane arasında lojik kapı içerirler. Toplayıcı, veri seçici, kod çözücü elemanlar bu gruba girer.
- Büyük Ölçekli Tümleştirme (*Large-Scale Integration LSI*): Bu gruptaki tümdevreler binler mertebesinde lojik kapı içerirler. Mikroislemciler, bellekler bu grupta yer alırlar.
- Çok Büyük Ölçekli Tümleştirme (*Very Large-Scale Integration VLSI*): Bu gruptaki tümdevreler yüzbinlerce ve daha fazla sayıda lojik kapı içerirler. Örnek: Gelişmiş mikroislemciler ve büyük bellek tümdevreleri.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.1

Sayısal Devreler (Lojik Devreleri)

Yarım Toplayıcı (Half Adder):

İki adet birer bitlik sayıyı toplayan bir devredir.

a	b	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

a: Birinci Sayı
b: İkinci Sayı
s: Sonuç
c: Elde Çıkışı

Doğruluk tablosundan devrenin ifadesi elde edilir.

$$s = ab' + a'b$$

$$c = ab$$

Bu devre yanda gösterildiği gibi YA DA (DARVEYA) (EXOR) bağlacı kullanılarak da gerçekleştirilebilir.

$$s = a \oplus b$$

$$c = ab$$

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.2

Sayısal Devreler (Lojik Devreleri)

Tam Toplayıcı (Full Adder):

İki adet birer bitlik sayıyı eldeldi olarak toplayan devredir.

a	b	c ₀	c ₁	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

a: Birinci Sayı
b: İkinci Sayı
c₀: Elde Girişi (Carry in)
s: Sonuç
c₁: Elde Çıkışı (Carry out)

$$s = a'b'c_0 + a'bc_0 + ab'c_0 + abc_0$$

$$s = a \oplus (b \oplus c_0)$$

$$s = a \oplus b \oplus c_0$$

$$c_1 = ac_0 + bc_0 + ab$$

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.3

Sayısal Devreler (Lojik Devreleri)

n-Bitlik İkili Paralel Toplayıcı:

İki adet n bitlik 2'li sayıyı toplayan devredir. Toplanmak istenen sayıların basamak sayısına bağlı olarak bir bitlik tam toplayıcılar peş peşe bağlanarak ikili paralel toplayıcılar gerçekleştirilebilir. Aşağıda 4 bitlik bir ikili toplayıcının iç yapısı gösterilmiştir.

7483 tümdevresi 4 bitlik bir ikili paralel toplayıcıdır.

1. Sayı: A₃A₂A₁A₀
2. Sayı: B₃B₂B₁B₀
Sonuç: S₃S₂S₁S₀
Elde Girişi: c₀
Elde Çıkışı: c₄

Örnek:
1. Sayı: 0110
2. Sayı: 1100
Sonuç: 0010
Elde Çıkışı: 1

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.4

Sayısal Devreler (Lojik Devreleri)

Çıkarma Devresi

Çıkarma işlemi "2'ye tümleyeni ile toplama" şeklinde gerçekleştirilir. Çıkarma devresi n bitlik bir tam toplayıcı ve tümleme kapıları ile gerçekleştirilebilir.

Örnek: 4 bitlik çıkarma devresi
S = A - B

B sayısının 2'ye tümleyeni A ile toplanır.
S = A - B = A + 2'ye tümleme(B) = A + (B' + 1)

4 bitlik paralel toplayıcı

C_{out} = 0 : Borç var
C_{out} = 1 : Borç yok

2'ye tümlemedeki +1 işlemini gerçekleştirmek için

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.5

Sayısal Devreler (Lojik Devreleri)

Veri Seçiciler (Multiplexer):

2ⁿ adet veri girişi (I), n adet seçme (denetim) girişi (S), 1 adet çıkışı (Z) vardır.

- Seçme girişlerine gelen değere göre, veri girişlerinden birindeki değer çıkışa aktarılır.
- Seçme girişlerindeki n bitlik ikili sayı hangi veri girişinin seçileceğini belirler.
- Veri seçiciler giriş sayılarına göre m:1 olarak adlandırılırlar. Burada m veri girişlerinin sayısını gösterir.

Örnek: 2:1 Veri seçici ("İkiye bir veri seçici" olarak okunur.)

İşlev Tablosu:

I0	I1	s	Z
0	0	0	0
0	1	0	0
1	0	1	0
1	1	1	1

Lojik ifade:
Z = s' I₀ + s I₁

Doğruluk Tablosu:

I ₁	I ₀	s	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.6

Sayısal Devreler (Lojik Devreleri)

Veri seçicilerin paralel bağlanması:

İki adet n bitlik veri arasında seçme yapmak için n adet 2:1 veri seçici paralel olarak bağlanır.

Yanda blok diyagramı verilen devre, x seçme girişinin değerine bağlı olarak n bitlik A ya da B sayılarından birini Z çıkışına aktarmaktadır.

$X=0 \rightarrow Z=A$
 $X=1 \rightarrow Z=B$

Örnek: 4 bitlik A ya da B sayılarından birini Z çıkışına aktaran devre

Bu devrede tüm veri seçicilerin seçme uçları ortaktır (kısa devre).

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.7

Sayısal Devreler (Lojik Devreleri)

Veri seçicilerin kullanımına ilişkin örnekler:

Örnek 1: Bir toplayıcının girişine isteğe bağlı olarak farklı kaynaklardan gelen sayılar uygulanabilir.

Sa	Sb	Sonuç
0	0	X+W
0	1	X+Z
1	0	Y+W
1	1	Y+Z

n bitlik Toplayıcı

C_{out} Sonuç

n bitlik iki sayı arasında seçim yapabilmek için n x 2:1 veri seçici kullanmak gerekir

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.8

Sayısal Devreler (Lojik Devreleri)

Örnek 2:
4 bitlik Toplama/Çıkarma Devresi

X girişi devrenin çalışmasını kontrol eder. Eğer X sıfır ise devre toplama yapar. Eğer X bir ise devre çıkarma yapar.

$X=0 \rightarrow S=A+B$
 $X=1 \rightarrow S=A-B$

4 bit paralel toplayıcı

C_{out} C_{in} $S_3 S_2 S_1 S_0$

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.9

Sayısal Devreler (Lojik Devreleri)

Örnek 2: (devamı)
4 bitlik Toplama/Çıkarma Devresi

Toplama/Çıkarma devresi, veri seçiciler ve tümeleme kapıları yerine EXOR kapıları kullanılarak da tasarlanabilir.

Hatırlatma: Eğer EXOR kapısının bir girişi 0 ise sürücü (buffer) gibi çalışır. $0 \oplus x = x$
Eğer EXOR kapısının bir girişi 1 ise tümeleyici (NOT) gibi çalışır. $1 \oplus x = \bar{x}$

$X=0 \rightarrow S = A + B$
 $X=1 \rightarrow S = A - B$

4 bit paralel toplayıcı

C_{out} C_{in} $S_3 S_2 S_1 S_0$

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.10

Sayısal Devreler (Lojik Devreleri) Lisans: <http://creativecommons.org/licenses/by-nc-nd/3.0/>

Diğer Veri Seçici (MUX) Örnekleri:

İşlev Tablosu:

$s_1 s_0$	Z
0 0	I_0
0 1	I_1
1 0	I_2
1 1	I_3

İşlev Tablosu:

$s_2 s_1 s_0$	Z
0 0 0	I_0
0 0 1	I_1
0 1 0	I_2
0 1 1	I_3
1 0 0	I_4
1 0 1	I_5
1 1 0	I_6
1 1 1	I_7

Lojik İfadeler:

2:1 mux: $Z = s' I_0 + s I_1$

4:1 mux: $Z = s_1' s_0' I_0 + s_1' s_0 I_1 + s_1 s_0' I_2 + s_1 s_0 I_3$

8:1 mux: $Z = s_2' s_1' s_0' I_0 + s_2' s_1' s_0 I_1 + s_2' s_1 s_0' I_2 + s_2' s_1 s_0 I_3 + s_2 s_1' s_0' I_4 + s_2 s_1' s_0 I_5 + s_2 s_1 s_0' I_6 + s_2 s_1 s_0 I_7$

Genel İfade (k:1 Mux): $Z = \sum_{j=0}^{k-1} (m_j I_j)$ $k=2^n, m_j = j$. minterim

Örnek Tümdevre:
74151 içinde bir adet 8:1 veri seçici bulunduran bir tümdevredir.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.11

Sayısal Devreler (Lojik Devreleri)

Veri Seçiciler lojik bağlaçlar kullanılarak aşağıdaki gibi gerçekleştirilebilirler.

2:1 mux

4:1 mux

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.12

Sayısal Devreler (Lojik Devreleri)

Büyük boyutlardaki veri seçiciler, daha küçüklerin uygun şekilde bağlanmasıyla gerçekleştirilebilir.

Aşağıda 8:1 veri seçicinin 2 farklı şekilde gerçekleştirilmesi gösterilmiştir.

1. Yöntem:

2. Yöntem:

Burada s_0 ve s_1 seçme girişleri 4:1 veri seçicileri için ortaktır. İki veri seçicinin de aynı girişi seçilir. Hangi veri seçicinin çıkışının seçileceğini ise s_2 belirler.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.13

Sayısal Devreler (Lojik Devreleri)

Veri Seçiciler ile Genel Amaçlı Lojik Devre Tasarımı 1:

2^n :1 boyutlu bir adet veri seçici kullanılarak n girişli, bir çıkışlı herhangi bir lojik devre başka bir bağlaç kullanmadan gerçekleştirilebilir.

Yöntem:

- Tasarlanacak olan fonksiyonun değişkenleri (devrenin girişleri) veri seçicinin seçme uçlarına bağlanır.
- Her seçme değeri bir giriş kombinasyonuna karşı düştüğüne göre, tasarlanmak istenen fonksiyonun doğruluk tablosuna göre veri seçicinin veri girişlerine lojik "0" veya "1" sabitleri bağlanır.

Örnek:

$$F(A,B,C) = m_0 + m_2 + m_6 + m_7 = \cup_1(0,2,6,7)$$

No.	A	B	C	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.14

Sayısal Devreler (Lojik Devreleri) Lisans: <http://creativecommons.org/licenses/by-nc-nd/3.0/>

Veri Seçiciler ile Genel Amaçlı Lojik Devre Tasarımı 2:

2^{n-1} :1 boyutlu bir adet veri seçici kullanılarak n girişli, bir çıkışlı herhangi bir lojik devre ek olarak sadece bir adet tümleme bağlacı kullanılarak gerçekleştirilebilir.

Yöntem:

- Tasarlanacak olan fonksiyonun değişkenlerinden n-1 tanesi veri seçicinin seçme uçlarına bağlanır.
- Arta kalan değişkenin kendisi ya da tümleyeni, doğruluk tablosuna göre veri seçicinin veri girişlerine bağlanır.

Örnek:

$$F(A,B,C) = m_0 + m_2 + m_6 + m_7 = \cup_1(0,2,6,7)$$

4:1 VS ile Çözüm:

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Burada her iki c' değeri de aynı tümleme kapısından elde edilebilir.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.15

Sayısal Devreler (Lojik Devreleri)

Yayıcı Makas (Demultiplexer):

- 1 adet veri girişi, n adet seçme (denetim) girişi, 2^n adet çıkışı vardır.
- Seçme girişlerine gelen değere göre, veri girişindeki değer çıkışlardan birine aktarılır. Diğer çıkışlar "0" değerini alır. Seçme girişlerindeki n bitlik ikili sayı girişteki değerin hangi çıkışa aktarılacağını belirler.
- Yayıcılar çıkış sayılarına göre 1:m olarak adlandırılır. Burada m çıkış sayısını gösterir.

Örnek: 1:2 Yayıcı Makas ("Bire iki yayıcı" olarak okunur)

İşlev Tablosu:

s	G	O ₀	O ₁
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

Doğruluk Tablosu:

s	G	O ₀	O ₁
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.16

Sayısal Devreler (Lojik Devreleri)

Kod Çözümler (Decoder):

- n adet seçme (denetim) girişi, 2^n adet çıkışı vardır.
- Seçme girişlerine gelen değere göre, çıkışlardan bir tanesi "1" değerini, diğerleri "0" değerini alır. Seçme girişlerindeki n bitlik ikili sayı hangi çıkışın "1" değerini alacağını belirler.
- Kod çözümler, girişine sabit "1" değeri verilmiş bir yayıcı makas gibi düşünülebilir.
- Kod çözümler seçme girişi ve çıkış sayılarına göre $n:2^n$ olarak adlandırılır. Burada n seçme girişi sayısı, 2^n çıkış sayısıdır.

Örnek: 3:8 Kod Çözümler

S ₂ S ₁ S ₀	O ₇	O ₆	O ₅	O ₄	O ₃	O ₂	O ₁	O ₀
0 0 0	0	0	0	0	0	0	0	1
0 0 1	0	0	0	0	0	0	1	0
0 1 0	0	0	0	0	0	1	0	0
0 1 1	0	0	0	0	1	0	0	0
1 0 0	0	0	0	1	0	0	0	0
1 0 1	0	0	1	0	0	0	0	0
1 1 0	0	1	0	0	0	0	0	0
1 1 1	1	0	0	0	0	0	0	0

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.17

Sayısal Devreler (Lojik Devreleri)

3:8 Kod Çözümlerinin İç Yapısı

Örnek Tümdevre:

74138 içinde bir adet 3:8 kod çözümler bulunur bir tümdevredir.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.18

Sayısal Devreler (Lojik Devreleri)

Kod Çözücüler ile Genel Amaçlı Lojik Devre Tasarımı:
 $n:2^n$ boyutlu bir kod çözücü kullanılarak n girişli m çıkışlı herhangi bir genel fonksiyon ek olarak VEYA bağlaçları kullanılarak gerçekleştirilebilir.

Yöntem:

- Tasarlanacak olan fonksiyonun değişkenleri (devrenin girişleri) kod çözücünün seçme uçlarına bağlanır.
- Kod çözücünün her çıkışı bir minterime karşı düşer. Gerçeklenecek olan fonksiyonu oluşturan minterimlere ilişkin çıkışlar VEYA kapıları ile toplanır.

Örnek:
 $F(A,B,C) = m_0 + m_2 + m_6 + m_7 = \cup_1(0,2,6,7)$

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.19

Sayısal Devreler (Lojik Devreleri)

Örnek: 4 girişli 3 çıkışlı genel fonksiyon tasarımı
 $F_1(A,B,C,D) = A' B' C' D + A' B' C D + A B C D$
 $F_2(A,B,C,D) = A B C' D' + A B C$
 $F_3(A,B,C,D) = (A' + B' + C' + D')$

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.20

Sayısal Devreler (Lojik Devreleri) Lisans: <http://creativecommons.org/licenses/by-nc-nd/3.0/>

İzin Girişli (Enable -EN) Kod Çözücü:
 Kod çözücülerde seçme girişlerine ek olarak izin girişi de (Enable -EN) olabilir. EN girişi lojik "1" olduğunda kod çözücü normal işlevini görür. EN girişi lojik "0" olduğunda kod çözücünün tüm çıkışları "0" olur. Aşağıda izin girişli bir 2:4 kod çözücü gösterilmiştir:

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.21

Sayısal Devreler (Lojik Devreleri)

Kod çözücülerin kullanımına ilişkin bir örnek
 Bazı sistemlerde bir grup elemandan sadece bir tanesinin belli bir anda etki olması istenir. Diğer bir ifadeyle aynı anda iki eleman etkin (aktif) olamaz. Bu tür etkin/etkisiz yapılabilen elemanların seçme (chip select -CS) girişleri bulunur. Kod çözücüler istenen elemanı seçerek etkin yapmak için kullanılırlar.

Örnek: 4 adet elemanı (birimi) kontrol eden kod çözücü

EN s ₁ s ₀	#0	#1	#2	#3
1 0 0	+	-	-	-
1 0 1	-	+	-	-
1 1 0	-	-	+	-
1 1 1	-	-	-	+
0 X X	-	-	-	-

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.22

Sayısal Devreler (Lojik Devreleri)

Programlanabilir Lojik Elemanlar (Programmable Logic Device - PLD)

Günümüzde karmaşık sayısal devreler programlanabilir lojik elemanlar kullanılarak gerçekleştirilir.

Bu elemanlar, içinde çok sayıda lojik bağlaç bulunduran tümdevrelerdir (birkaç yüz - birkaç milyon). Bazılarının içinde bellek elemanları da (flip-flop) bulunur.

Tasarımcı bir "programlama" dili ve cihazı kullanarak bu bağlaçların arasında belli sınırlar içinde istediği bağlantıları gerçekleştirebilir.

Böylece sadece tek bir tümdevre kullanılarak karmaşık lojik devreler gerçekleştirilebilir.

Programlanabilir lojik elemanların çeşitli türleri vardır:

- Programmable Logic Array - PLA
- Programmable Array Logic - PAL
- Generic Array Logic - GAL
- Complex PLD - CPLD
- Field-Programmable Gate Array - FPGA

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.23

Sayısal Devreler (Lojik Devreleri)

Programlama:
 Bu elemanların iç yapılarının düzenlenebilmesi (programlama) için lojik kapılar arasındaki bağlantı noktalarında "sigortalar" (fuse) bulunur.

İlk PLD türlerinde (PLA, PAL) bipolar transistörler (Bkz. Bölüm 9) kullanılmıştır. Bu elemanlarda sigortalar sadece bir defa kopartılarak programlama yapılabilir.

Günümüz elemanlarında (GAL, CPLD, FPGA) CMOS transistörler ve programlama için bellek elemanları kullanılmaktadır. Bu elemanlar defalarca silinip programlanabilirler.

Bu elemanları programlamak için çeşitli donanım betimleme dilleri (Hardware Description Language - HDL) ve cihazlar kullanılır.

HDL örnekleri:
 PALASM
 ABEL
 Verilog
 VHDL (Veri high speed integrated circuits HDL)

http://akademi.itu.edu.tr/buzluca 2000-2015 Feza BUZLUCA 5.24

Sayısal Devreler (Lojik Devreleri)

Programlanabilir Lojik Dizi (Programmable Logic Array - PLA)

Girişlerinde VE (çarpım) çıkışlarında ise VEYA (toplama) elemanları bulunur.

PLA'lar VE, VEYA gruplarının esnek olarak programlanabildiği elemanlardır.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.25

Sayısal Devreler (Lojik Devreleri)

PLA'ların sınırlarını belirleyen parametreleri şunlardır:

- Giriş sayısı: n
- Çıkış sayısı: m
- VE kapısı sayısı: p

Bu tür bir eleman, "p çarpımlı n x m PLA" olarak adlandırılır.

Yandaki şekilde örnek olarak 5 çarpımlı 3x4 bir PLA gösterilmiştir.

PLA'larda yüz civarında bağlaç bulunur.

Örnek: 82S100
16 giriş, 8 çıkış, 48 çarpım (VE)

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.26

Sayısal Devreler (Lojik Devreleri)

Örnek:

$$F0 = A + B' C'$$

$$F1 = A C' + A B$$

$$F2 = B' C' + A B$$

$$F3 = B' C + A$$

3x4PLA'nın iç bağlantıları, programlamadan sonra bu şekilde oluşur.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.27

Sayısal Devreler (Lojik Devreleri) Lisans: <http://creativecommons.org/licenses/by-nc-nd/3.0/>

Basit Gösterim: Çizimleri karmaşık hale getirmemek için PLA çizimlerinde tüm hatlar gösterilmez.

Onun yerine ilgili kapının girişine hangi hatlar bağlanacaksa o hattın üstüne X konur.

Örnek:

$$F0 = A B + A' B'$$

$$F1 = C D' + C' D$$

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.28

Sayısal Devreler (Lojik Devreleri)

Programlanabilir Dizi Lojiği (Programmable Array Logic - PAL)

VE bağlaçlarının girişleri PLA'larda olduğu gibi esnek bir biçimde programlanabilir. Ancak VEYA bağlaçlarının girişleri esnek değildir. Her VEYA bağlaçının girişine sadece belli VE bağlaçlarının çıkışları bağlıdır.

Örneğin ilk VEYA bağlaçının girişine sadece ilk iki VE bağlaçının çıkışları gelebilir. PAL'ler daha kolay programlanabilirler, daha ucuzdurlar, daha çok eleman içerebilirler.

İlk olarak Monolithic Memories, Inc (MMI) firması tarafından üretilmiştir.

MMI, daha sonra Advanced Micro Devices (AMD) tarafından satın alınmıştır.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.29

Sayısal Devreler (Lojik Devreleri)

Örnek: Aşağıda PAL 16L8 elemanının bir kısmı gösterilmiştir:

16 giriş,
8 çıkış,
64 çarpım (VE)
Her VE kapısının 2x16 girişi (kendisi ve tümleyeni) vardır.

<http://akademi.itu.edu.tr/buzluca> 2000-2015 Feza BUZLUCA 5.30

Genel Dizi Lojiji (Generic Array Logic - GAL)

PAL ile benzer özellikler taşır.

İç yapısı CMOS transistörlerden oluşmaktadır. Defalarca silinerek tekrar programlanabilir.

İlk olarak Lattice Semiconductor firması tarafından oluşturulmuştur.

Örnek: GAL16V8

Karmaşık PLD (Complex PLD - CPLD)

Aynı tümleşik devrenin içinde birden fazla PLD (*macro cell*) bulunur.

Her bir PLD, GAL özelliklerine sahiptir.

Toplam kapı sayısı birkaç bin ile birkaç yüz bin arasındadır.

Hem PLD'lerin iç yapıları hem de aralarındaki bağlantılar programlanabilir.

Örnek: Atmel ATF1500

32 giriş/çıkış + 4 giriş

32 adet PLD (*macro cell*) içerir.

**Sahada Programlanabilir Kapı Dizisi
(Field-Programmable Gate Array - FPGA)**

Çok sayıda işlevsel blok ve bloklar arasındaki bağlantılardan oluşurlar.

Defalarca silinerek tekrar programlanabilir.

Toplam kapı sayısı birkaç bin ile birkaç milyon arasındadır.

Karmaşık sayısal devrelerin (örneğin özel amaçlı mikroişlemciler) gerçekleştirilmesinde kullanılırlar.

CPLD'lere göre daha esnek ve daha yeteneklidirler ancak gecikmeleri ve maliyetleri daha yüksektir.

Örnek: Atmel AT6010

204 giriş/çıkış

30000 bağlaç