

## Eşzamanlı (Senkron) Ardışıl Devrelerin Tasarlanması (Design)

Bir ardışıl devrenin tasarlanması, çözülecek olan problemin sözle anlatımıyla (senaryo) başlar.

Tasarım aşaması bilgisayar programı yazmaya benzer.

Önce gerçek dünyadaki problem tanımlanır, sonra uygun bir modelleme yapılarak çözüme giden yolun aranması gerekir.

Bundan sonra eşzamanlı ardışıl devre tasarlanır ve gerçekleştirilir.

**Bir ardışıl devrenin tasarlanması aşağıdaki adımlardan oluşur:**

1. Çözülecek **problemin** (devrenin yapması gereken işin) sözle anlatımı. Burada belirsizlikleri ortadan kaldırmak için zaman diyagramı da çizilebilir.
2. Devrenin hangi **modele** (Mealy ya da Moore) göre tasarlanmasının uygun olacağına karar verilir.
3. Sonlu durumlu makineyi oluşturacak olan **durumlar** belirlenir.
  - a) Kaç durum olacak, hangi giriş değerlerinde hangi durumlara geçilecek?
  - b) Buna göre devrenin durum geçiş ve çıkış tabloları oluşturulur. Bu adımda, eğer kolaylık sağlayacaksa durum geçiş diyagramı da çizilebilir.
  - c) Mümkünse durum indirgemesi yapılır. Burada amaç en az sayıda durum ile makinenin istenen işlevi yerine getirmesini sağlamaktır.

Bu aşama program yazmaya benzer; bu nedenle sezgisel yaklaşım da gerektirir.

**Bir ardışıl devrenin tasarlanması aşağıdaki adımlardan oluşur (devamı)**

4. **Durum kodlaması:** Durumlara ikili kodlar karşı düşürülür. Eğer durum sayısı  $n$  ise durum değişkeni sayısı (flip-flop sayısı)  $m$  aşağıdaki gibi hesaplanır.

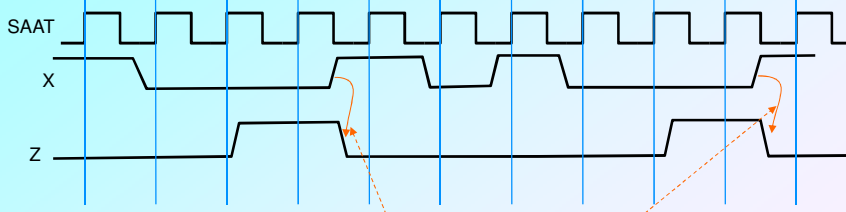
$$m = \lceil \log_2 n \rceil$$

Burada  $\lceil x \rceil$  tavan fonksiyonudur. Örneğin  $\lceil 4.1 \rceil = 5$  ve  $\lceil 4.0 \rceil = 4$

5. Durum geçiş ve çıkış tablosu gerçek durum değişkenleri değerleri kullanılarak oluşturulur.
6. Kullanılacak **flip-flop** tipine karar verilir.
7. Seçilen flip-flopların geçiş tablolarından yararlanılarak durum geçiş tablosuna uygun değerler yazılır ve **flip-floplar sürme fonksiyonu (F)** elde edilir.
8. Çıkış tablosundan **çıkış fonksiyonu (G)** elde edilir.
9. Fonksiyonlara (F ve G) ait kombinezonel devreler dersin ilk bölümünde öğrenildiği şekilde en düşük maliyetle gerçekleştirilerek çizilir.

**Eşzamanlı (Senkron) Devre Tasarım Örneği:**

Bir girişi (X) ve bir çıkışı (Z) olan eşzamanlı ardışıl bir devre tasarlanacaktır. Devrenin girişi bir birini izleyen en az iki saat darbesi boyunca lojik 0'da kaldıktan sonra, girişten lojik 0 geldiği sürece devrenin çıkışı lojik 1 olacaktır. Problemi daha iyi anlayabilmek için zamanlama diyagramı da çizilebilir.

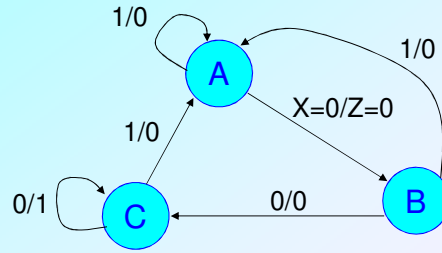


Devrenin, yukarıdaki zaman diyagramına uygun olarak çalışması isteniyorsa tasarımın **Mealy modeline** göre yapılması gerekir. Çünkü çıkış, girişteki değişimden hemen (saat işareti gelmeden) etkilenmektedir.

**1. Sözcük anlatımdan (zamanlama diyagramından) durum diyagramının oluşturulması. (Sezgisel yaklaşım, deneyim gerektirir.)**

Makine üç durum ile tasarlanabilir:

- A:** Hiç sıfır gelmedi durumu
- B:** Birinci sıfır geldi
- C:** İkinci sıfır geldi



**2. Durum geçiş tablosu**

S <sup>+</sup> , Z	X	0	1
A	B,0	A,0	
B	C,0	A,0	
C	C,1	A,0	

**Durum Kodlaması:**

- A: 00
- B: 01 (Farklı bir kodlama yapılabilir.)
- C: 11

**Durum değişkenleri:**

$Q_1, Q_0$

$Q_1, Q_0$	X	0	1
00	01,0	00,0	
01	11,0	00,0	
11	11,1	00,0	
10	$\emptyset\emptyset, \emptyset$	$\emptyset\emptyset, \emptyset$	

Durum kodlaması farklı şekilde de yapılabilirdi. Örneğin A:00, B: 10, C:01 olabilirdi. Bu durumda devrenin iç yapısı farklı olurdu. Ancak dışarıdan bakıldığında devre aynı işlevi yerine getirirdi.

### 3. Durum değişkenlerinin geçişlerinin belirlenmesi:

Devrenin durum geçiş tablosundan yararlanılarak her durum değişkeninin (flip-flopun) hangi geçişi yapacağı ayrı ayrı belirlenir.

$Q_1^+Q_0^+, Z$		Durum geçiş tablosu	
		0	1
$Q_1, Q_0$	X		
00		01,0	00,0
01		11,0	00,0
11		11,1	00,0
10		$\emptyset\emptyset, \emptyset$	$\emptyset\emptyset, \emptyset$

$Q_1$ 'in geçişleri (değişimleri):

simge	$QQ^+$
0	00
$\alpha$	01
$\beta$	10
1	11

Yazımda kolaylık sağlamak için geçişlere simgesel isimler karşı düşürülerek tablolar yeniden düzenlenebilir.

$Q_1Q_0^+, X$		$Q_0$ 'in geçişleri:	
		0	1
$Q_1, Q_0$	X		
00		00	00
01		01	00
11		11	10
10		$\emptyset$	$\emptyset$

$Q_1Q_0^+, X$		$Q_0Q_0^+, X$	
		0	1
$Q_1, Q_0$	X		
00		00	$\alpha$ 0
01		$\alpha$ 0	01 1 $\beta$
11		1 $\beta$	11 1 $\beta$
10		$\emptyset$ $\emptyset$	10 $\emptyset$ $\emptyset$

Böylece her durum değişkeninin (flip-flopun) hangi durumda hangi giriş değeri için hangi geçişi yapacağı belirlenmiştir.

### 4. Kullanılacak flip-floplara karar verilmesi:

Bu örnekte pozitif kenar tetiklemeli D tipi flip-floplar kullanılacaktır.

Bir önceki (3.) adımda her flip-flopun hangi geçişi yapması gerektiği belirlenmişti. Bu aşamada seçilen flip-flopa istenilen bir geçişin yaptırılabilmesi için girişlerine hangi değerlerin uygulanması gerektiği araştırılacaktır.

Bunun için kullanılacak flip-flopun geçiş tablosundan yararlanılacaktır.

#### D flip-flopu geçiş tablosu:

simge	$QQ^+$	D
0	00	0
$\alpha$	01	1
$\beta$	10	0
1	11	1

Bu tablo D flip-flopunun belli bir durum değişikliğini yapması için girişlerine uygulanması gereken değerleri gösterir.

Değişik tipteki flip-flopların geçiş tabloları da farklıdır.

Görüldüğü gibi D flip-flopunun tablosu basittir. D girişine verilmesi gereken değer sonraki durum değişkeninin değeri ile aynıdır.

Durum geçiş tablolarına flip-flopun alması gereken giriş değerleri yerleştirilir.

$Q_1$  geçişleri ( $Q_1 \rightarrow Q_1^+$ ):  $Q_0$  geçişleri ( $Q_0 \rightarrow Q_0^+$ ):

$Q_1 Q_0$ \ X	0	1
00	0	0
01	$\alpha$	0
11	1	$\beta$
10	$\emptyset$	$\emptyset$

$Q_1 Q_0$ \ X	0	1
00	$\alpha$	0
01	1	$\beta$
11	1	$\beta$
10	$\emptyset$	$\emptyset$

D flip-fopu geçiş tablosu:

simge	$QQ^+$	D
0	00	0
$\alpha$	01	1
$\beta$	10	0
1	11	1

$D_1$  girişi:

$Q_1 Q_0$ \ X	0	1
00	0	0
01	1	0
11	1	0
10	$\emptyset$	$\emptyset$

$D_0$  girişi:

$Q_1 Q_0$ \ X	0	1
00	1	0
01	1	0
11	1	0
10	$\emptyset$	$\emptyset$

İfadeleri kolaylıkla yazabilmek için yandaki tablolar Karnaugh diyagramı olarak oluşturulmuştur.

Satır ve sütunlar Gray kodundadır.

$$D_1 = X'Q_0$$

$$D_0 = X'$$

$$\{D_1, D_0\} = F(\text{Giriş "X", Durum "Q}_i\text{"})$$

Böylece flip-flopları sürerek sonraki durumu belirleyen F fonksiyonu elde edilmiş oldu (bkz. yansı 7.1).

5. Çıkış tablosu kullanılarak çıkış fonksiyonu G belirlenir.

Z \ X	0	1
00	0	0
01	0	0
11	1	0
10	$\emptyset$	$\emptyset$

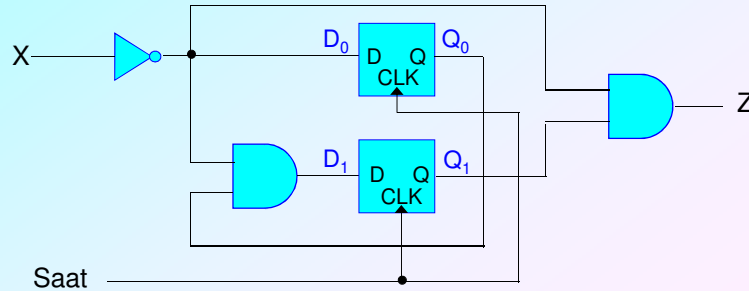
F ve G fonksiyonları tasarlanırken, dersin ilk bölümlerinde öğrenilen kombinezonsal devre tasarımı yöntemleri (asal çarpımlar, seçenekler tablosu) uygulanmalıdır.

Bu örnekteki fonksiyonlar basit olduğundan indirgemeye gerek kalmamıştır.

$$Z = X'Q_1$$

$$Z = G(\text{Giriş "X", Durum "Q}_i\text{"})$$

6. Devrenin lojik elemanlar ile gerçekleştirilip çizilmesi.



**Örnek: Aynı devrenin JK flip-flopları ile tasarlanması**

Tasarım 4. maddeye kadar aynı şekilde yapılacaktır.

4. Bu örnekte pozitif kenar tetiklemeli JK tipi flip-floplar kullanılacaktır.

JK flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	J	K
0	00	0	ø
$\alpha$	01	1	ø
$\beta$	10	ø	1
1	11	ø	0

D flip-flopları yerine JK flip-floplarının kullanılması genellikle daha basit lojik fonksiyonların elde edilmesini sağlar.

Ancak bu örnekteki devre zaten çok sade olduğundan daha fazla basitleşme sağlanmamaktadır.

Durum geçiş tablosundan durum değişkenlerinin geçişleri 3. maddede belirlenmişti.

Q <sub>1</sub> <sup>+</sup> Q <sub>0</sub> <sup>+</sup> Z	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	01,0	00,0
01	11,0	00,0
11	11,1	00,0
10	øø,ø	øø,ø

Q <sub>1</sub> Q <sub>1</sub> <sup>+</sup>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	0	0
01	$\alpha$	0
11	1	$\beta$
10	ø	ø

Q <sub>0</sub> Q <sub>0</sub> <sup>+</sup>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	$\alpha$	0
01	1	$\beta$
11	1	$\beta$
10	ø	ø

Durum geçiş tablolarına flip-flopun alması gereken giriş değerleri yerleştirilir.

Q <sub>1</sub> Q <sub>1</sub> <sup>+</sup>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	0	0
01	$\alpha$	0
11	1	$\beta$
10	ø	ø

Q <sub>0</sub> Q <sub>0</sub> <sup>+</sup>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	$\alpha$	0
01	1	$\beta$
11	1	$\beta$
10	ø	ø

JK flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	J	K
0	00	0	ø
$\alpha$	01	1	ø
$\beta$	10	ø	1
1	11	ø	0

J <sub>1</sub>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	0	0
01	1	0
11	ø	ø
10	ø	ø

K <sub>1</sub>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	ø	ø
01	ø	ø
11	0	1
10	ø	ø

J <sub>0</sub>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	1	0
01	ø	ø
11	ø	ø
10	ø	ø

K <sub>0</sub>	X	
Q <sub>1</sub> Q <sub>0</sub>	0	1
00	ø	ø
01	0	1
11	0	1
10	ø	ø

$$J_1 = X'Q_0$$

$$K_1 = X$$

$$J_0 = X'$$

$$K_0 = X$$

$$\{J_1, K_1, J_0, K_0\} = F(X, Q_1, Q_0)$$

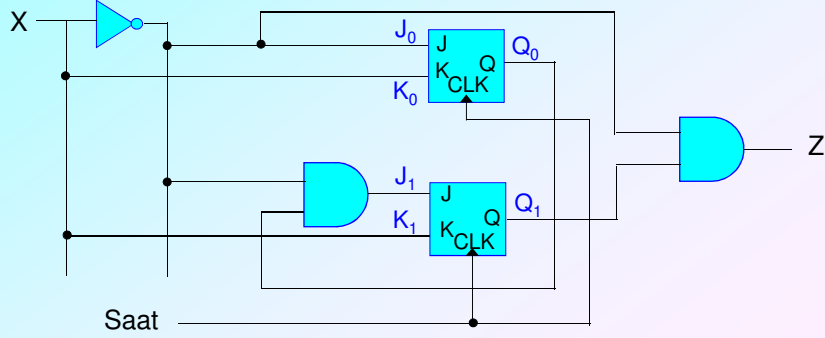
Böylece flip-flopları sürerek sonraki durumu belirleyen F fonksiyonu elde edilmiş oldu.

5. Çıkış tablosu kullanılarak çıkış fonksiyonu G belirlenir.

Z \ X	0	1
00	0	0
01	0	0
11	1	0
10	0	0

$Z = X'Q_1$

6. Devrenin lojik elemanlar ile gerçekleştirilip çizilmesi.



### Flip-flopların geçiş tabloları:

Eşzamanlı ardışıl devre tasarımında gerekli olduğundan değişik flip-flopların geçiş tabloları aşağıda verilmiştir.

SR flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	S	R
0	00	0	0
α	01	1	0
β	10	0	1
1	11	0	0

JK flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	J	K
0	00	0	0
α	01	1	0
β	10	0	1
1	11	0	0

D flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	D
0	00	0
α	01	1
β	10	0
1	11	1

T flip-flopu geçiş tablosu:

simge	QQ <sup>+</sup>	T
0	00	0
α	01	1
β	10	1
1	11	0

**Eşzamanlı (Senkron) Devre Tasarım Örneği 2: Moore Modeli**

Moore modeline göre tasarım yapılırken de önceki örneklerde gösterilmiş olan aşamalardan geçilir. Burada dikkat edilmesi gereken nokta,

- çıkışların sadece durumlara bağlı olduğu,
- bu nedenle de her duruma bir çıkış değerinin karşı düşürüldüğüdür.

**Problem:**

İki girişi (X,Y) bir çıkışı (Z) olan eşzamanlı ardışıl bir devre tasarlanacaktır. Makinenin çalışmaya başlamasından itibaren girişlerden gelen '1' değerlerinin sayısı 4'ün katları ise devrenin çıkışı '1' değerini alacaktır. Aksi durumda çıkış '0' olacaktır. Girişten hiç '1' gelmemesi (sıfır tane) durumunda çıkış '1' olacaktır.

**Çözüm:**

Devrenin modulo 4 işlemini gerçekleştirmesi ve kalan 0 ise çıkışını '1' yapması istenmektedir. Bu makine 4 adet durum ile gerçekleştirilebilir:

1. Kalan 0: S0 Çıkış sadece devre bu durumdayken '1' olacaktır.
2. Kalan 1: S1
3. Kalan 2: S2
4. Kalan 3: S3

**Durum/çıkış tablosu:**

Anlam	S <sup>+</sup>	S <sup>XY</sup>	00	01	11	10	Z
Sıfır tane 1	S0		S0	S1	S2	S1	1
Bir tane 1	S1		S1	S2	S3	S2	0
İki tane 1	S2		S2	S3	S0	S3	0
Üç tane 1	S3		S3	S0	S1	S0	0

**Durum Kodlaması:**

S0: 00  
 S1: 01  
 S2: 11  
 S3: 10

**Durum Değişkenleri:**

Q1, Q0

**Kodlanmış Durum/çıkış tablosu:**

Q1+Q0 <sup>+</sup>	XY	00	01	11	10	Z
00		00	01	11	01	1
01		01	11	10	11	0
11		11	10	00	10	0
10		10	00	01	00	0

D1	XY	00	01	11	10
00		0	1	0	0
01		0	1	1	1
11		1	1	0	1
10		1	0	0	0

D0	XY	00	01	11	10
00		0	1	1	1
01		1	1	0	1
11		1	0	0	0
10		0	0	1	0

D Flip-flopları ile tasarım yapıldığında  $Q^+=D$  karakteristik fonksiyonundan yararlanılır.

$$D1 = Q0 \cdot X' \cdot Y + Q1' \cdot X \cdot Y + Q1 \cdot X' \cdot Y' + Q0 \cdot X \cdot Y'$$

$$D0 = Q1' \cdot X' \cdot Y + Q1' \cdot X \cdot Y' + Q0 \cdot X' \cdot Y' + Q0' \cdot X \cdot Y$$

$$Z = Q1' \cdot Q0'$$

### Eşzamanlı Devrelerin Gerçeklenmesinde Veri Seçicilerin Kullanılması

Bir eşzamanlı ardışıl devre D flip-flopları ile tasarlanırsa, flip-flopların girişlerini süren fonksiyonun gerçekleşmesinde veri seçicilerin kullanılması daha uygun çözümlerin bulunmasını sağlayabilir.

Bu yöntemde,

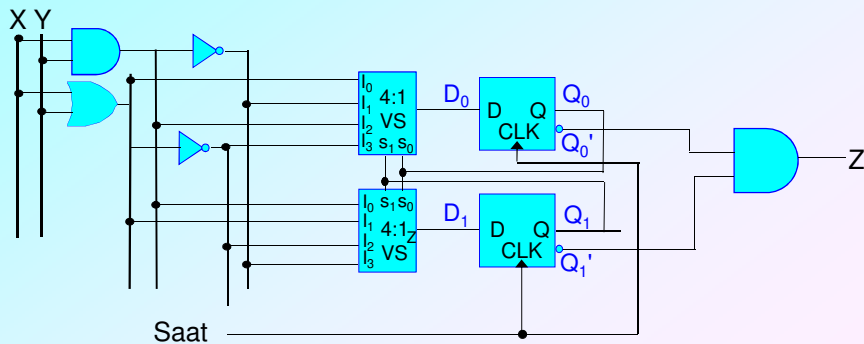
- Her D flip-flopunun girişi bir veri seçici ile sürülür.
- Veri seçicilerin seçme uçlarına, durum değişkenleri (flip-flopların çıkışları) bağlanır. Böylece bir veri seçici makinenin her durumu için girişlerinden birini seçmiş olur.
- Veri seçicinin veri girişlerine makinenin o durumdan sonra geçeceği durumun kodunu üretecek değerler bağlanır.
- Veri seçicilerin veri girişlerine uygulanacak değerler durum tablosunun satırlarından yararlanılarak bulunur.

Bir önceki örnekte gerçekleştirilen devre bir sonraki yarıda veri seçiciler ile yeniden gerçekleştirilmiştir.

D girişlerine gelmesi gereken değerler: (Önceki örnekten alınmıştır.)

D1	XY				
Q1 Q0	00	01	11	10	Veri Seçiciye:
00	0	0	1	0	$X \cdot Y$
01	0	1	1	1	$X + Y$
11	1	1	0	1	$(X \cdot Y)'$
10	1	0	0	0	$(X + Y)'$

D0	XY				
Q1 Q0	00	01	11	10	Veri Seçiciye:
00	0	1	1	1	$X + Y$
01	1	1	0	1	$(X \cdot Y)'$
11	1	0	0	0	$(X + Y)'$
10	0	0	1	0	$X \cdot Y$





**Sayıcı Tasarımı**

Saat işaretinin her etkin kenarında belli bir sekansta sayım yapan sayıcılar eşzamanlı ardışıl devre olarak tasarlanırlar.

Sayıcının tasarlanmasında Moore modelinin kullanılması daha uygundur.

Sayıcının üreteceği her sayı, bir durum olarak kabul edilir.

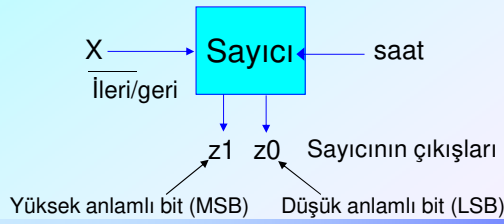
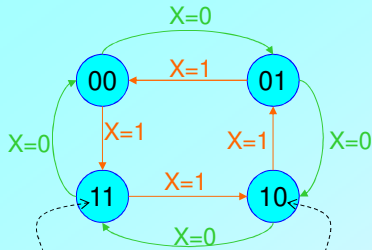
Çıktılar durum değişkenlerinden doğrudan elde edilir (Çıkış = Durum, O = S).

**Örnek:**

Aşağıda blok diyagramı gösterilen, bir adet denetim girişine (X) sahip sayıcıyı tasarlayınız.

Sayıcı, doğal ikili sayı sisteminde 0-1-2-3 düzeninde sayacaktır. 3'ten 0'a geri dönecektir.

X=0 olduğunda sayım ileriye doğru, X=1 olduğunda geriye doğru yapılacaktır.

**Durum diyagramı:**

Durum değişkenleri ile çıktılar aynı değerlere sahiptir (O = S).

**Sayıcının D flip-flopları ile tasarlanması:**

Hatırlatma:  
 $Q^+ = D$

$D_1$	X	0	1
$Q_1, Q_0$	00	0	1
	01	1	0
	11	0	1
	10	1	0

$$D_1 = X' \cdot (Q_1 \oplus Q_0) + X \cdot (Q_1 \oplus Q_0)'$$

$$D_1 = X \oplus Q_1 \oplus Q_0$$

**Durum tablosu:**

$Q_1^+ Q_0^+$	$Q_1 Q_0$	X	0	1
00	01	11		
01	10	00		
11	00	10		
10	11	01		

Durum tablosunun aynı zamanda bir Karnaugh diyagramı olması için durumlar satırlara Gray koduna göre yerleştirilmiştir.

$D_0$	X	0	1
$Q_1, Q_0$	00	1	1
	01	0	0
	11	0	0
	10	1	1

$$D_0 = Q_0'$$

Çıktılar:

$$Z_0 = Q_0$$

$$Z_1 = Q_1$$

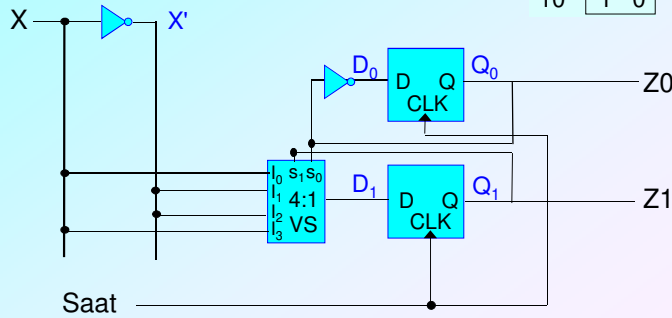
Sayıcının gerçekleşmesinde lojik bağlaçlar (VE, VEYA, YA\_DA) kullanılabileceği gibi veri seçiciler de tercih edilebilir.

Aşağıda D0 girişi ifadesi basit olduğu için ( $D_0 = Q_0'$ ) lojik kapı ile (bir adet tümlleme) gerçekleştirilmiştir.

D1 girişini sürmek için veri seçici kullanılmıştır.

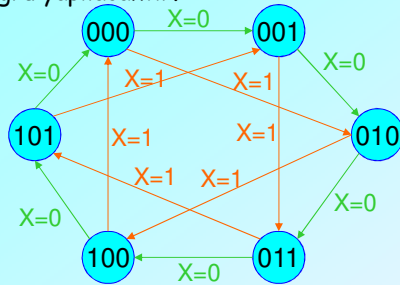
Hatırlatma: Veri seçicinin seçme uçlarına durum değişkenleri ( $Q_1, Q_0$ ) bağlanacaktır.

$D_1$	$Q_1, Q_0$	0	1	Veri Seçiciye:
00		0	1	X
01		1	0	X'
11		0	1	X
10		1	0	X'

**Örnek:**

Doğal ikili sayı sisteminde 0-1-2-3-4-5 düzeninde sayan (6'ya sayıcı) ve bir adet denetim girişine (X) ait sayıcıyı tasarlayınız.

X=0 olduğunda sayım birer adım ileriye doğru, X=1 olduğunda ikişer adım ileriye doğru yapılacaktır.



Karnaugh diyagramı olarak düzenlenmiş durum tablosu:

Durum tablosu:

$Q_2^+ Q_1^+ Q_0^+$	$Q_2 Q_1 Q_0$	X	0	1
000			001	010
001			010	011
010			011	100
011			100	101
100			101	000
101			000	001
110			000	000
111			000	000

$Q_0$  sütunlara taşınıyor

$Q_2^+ Q_1^+ Q_0^+$	$Q_2 Q_1$	$Q_0 X$	00	01	11	10
00			001	010	011	010
01			011	100	101	100
11			000	000	000	000
10			101	000	001	000

Bu örnekte tasarımı T flip-flopı kullanarak yapalım.

**Hatırlatma:**

T flip-flopı geçiş tablosu:

simge	QQ <sup>+</sup>	T
0	00	0
α	01	1
β	10	1
1	11	0

Q <sub>2</sub> <sup>+</sup> Q <sub>1</sub> <sup>+</sup> Q <sub>0</sub> <sup>+</sup>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub> X	00	01	11	10
00	00	001	010	011	010
01	01	011	100	101	100
11	11	∅∅∅	∅∅∅	∅∅∅	∅∅∅
10	10	101	000	001	000

(Q<sub>2</sub>→Q<sub>2</sub><sup>+</sup>, Q<sub>1</sub>→Q<sub>1</sub><sup>+</sup>, Q<sub>0</sub>→Q<sub>0</sub><sup>+</sup>) geçişleri incelenerek T<sub>2</sub>, T<sub>1</sub>, and T<sub>0</sub> değerleri belirlenir.

T <sub>2</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub> X	00	01	11	10
00	00	0	0	0	0
01	01	0	1	1	1
11	11	∅	∅	∅	∅
10	10	0	1	1	1

T <sub>1</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub> X	00	01	11	10
00	00	0	1	1	1
01	01	0	1	1	1
11	11	∅	∅	∅	∅
10	10	0	0	0	0

T <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub> X	00	01	11	10
00	00	1	0	0	1
01	01	1	0	0	1
11	11	∅	∅	∅	∅
10	10	1	0	0	1

$$T_2' = Q_0' \cdot X' + Q_2' \cdot Q_1'$$

$$T_2 = (Q_0 + X) \cdot (Q_2 + Q_1)$$

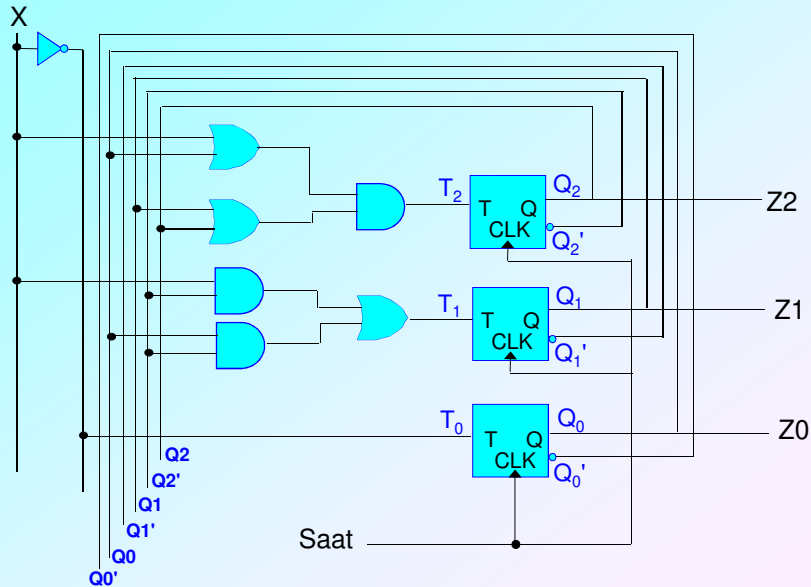
$$T_1 = Q_2' \cdot X + Q_2' \cdot Q_0$$

$$T_0 = X'$$

$$T_2 = (Q_0 + X) \cdot (Q_2 + Q_1)$$

$$T_1 = Q_2' \cdot X + Q_2' \cdot Q_0$$

$$T_0 = X'$$



## Eşzamanlı Devrelerin PLD ile Gerçeklenmesi

Önceki bölümlerde kombinezonsal devrelerin, programlanabilir lojik elemanlar (PLD) ile gerçekleştirilebileceğini görmüştük.

Ardışıl devrelerin gerçekleştirilmesinde de PLD kullanılır.

Bunun için içinde flip-flop bulunan elemanlardan yararlanır.

Yandaki şekilde örnek olarak **16R8** PAL devresi gösterilmiştir.

Günümüzde elektrik ile silinip yeniden programlanabilen **GAL** tipi elemanlar, bir defa programlanabilen **PAL** tipi elemanların yerini almıştır.

Örnek: Electrically-Erasable Programmable Logic Device (EE PLD)  
**Atmel ATF16V8C**

<http://akademi.itu.edu.tr/buzluca/>  
<http://www.buzluca.info>

